

DE 198 40 032 (Abstract)

The invention relates to a semiconductor device comprising a semiconductor body in which alternatingly semiconductor zones (4, 5) of different conductivity types are disposed, said semiconductor zones (4, 5) in the semiconductor body extending from at least one first zone (6) to the vicinity of a second zone (1) and having a variable doping such that the electrical field rises starting from one of the first and second zones.



⑬ BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

⑫ Patentschrift
⑩ DE 198 40 032 C 1

⑤ Int. Cl.⁶
H 01 L 29/78

⑳ Aktenzeichen: 198 40 032.2-33
㉑ Anmeldetag: 2. 9. 98
㉒ Offenlegungstag: -
㉓ Veröffentlichungstag
der Patenterteilung: 18. 11. 99

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden

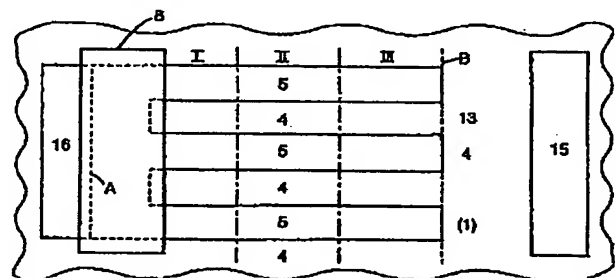
㉔ Patentinhaber:
Siemens AG, 80333 München, DE

㉕ Erfinder:
Deboy, Gerald, Dr., 82008 Unterhaching, DE; Stengl,
Jens-Peer, 82284 Grafrath, DE; Strack, Helmut, Dr.,
80804 München, DE; Weber, Hans, Dr., 83404
Ainring, DE; Graf, Heimo, Paternion, AT

㉖ Für die Beurteilung der Patentfähigkeit in Betracht
gezogene Druckschriften:
US 52 16 275
US 47 54 310

㉗ Halbleiterbauelement und Herstellungsverfahren dazu

㉘ Die Erfindung betrifft ein Halbleiterbauelement mit in einem Halbleiterkörper alternierend angeordneten Halbleitergebieten (4, 5) abwechselnd unterschiedlichen Leitungstyps, die sich im Halbleiterkörper von wenigstens einer ersten Zone (6) bis in die Nähe zu einer zweiten Zone (1) erstrecken und eine variable Dotierung haben, so daß das elektrische Feld einen von beiden Zonen (6, 1) aus ansteigenden Verlauf hat.



DE 198 40 032 C 1

DE 198 40 032 C 1

Die vorliegende Erfindung betrifft ein Halbleiterbauelement mit einem einen sperrenden pn-Übergang aufweisenden Halbleiterkörper, einer ersten Zone eines ersten Leitungstyps, die mit einer ersten Elektrode verbunden ist und an eine den sperrenden pn-Übergang bildende Zone eines zweiten, zum ersten Leitungstyp entgegengesetzten Leitungstyps angrenzt, und mit einer zweiten Zone des ersten Leitungstyps, die mit einer zweiten Elektrode verbunden ist, wobei die der zweiten Zone zugewandte Seite der Zone des zweiten Leitungstyps eine erste Oberfläche bildet und im Bereich zwischen der ersten Oberfläche und einer zweiten Oberfläche, die zwischen der ersten Oberfläche und der zweiten Zone liegt, Gebiete des ersten und des zweiten Leitungstyps ineinander verschachtelt sind.

Derartige Halbleiterbauelemente werden auch als Kompensationsbauelemente bezeichnet. Bei solchen Kompensationsbauelementen handelt es sich beispielsweise um n- oder p-Kanal-MOS-Feldeffekttransistoren, Dioden, Thyristoren, GTOs oder auch andere Bauelemente. Im folgenden soll jedoch als Beispiel von einem Feldeffekt-Transistor (auch kurz "Transistor" genannt) ausgegangen werden.

Zu Kompensationsbauelementen gibt es über einen langen Zeitraum verstreut verschiedene theoretische Untersuchungen (vgl. US 4 754 310 und US 5 216 275), in denen jedoch speziell Verbesserungen des Einschaltwiderstandes R_{SDon} und nicht der Stabilität bei Strombelastung, wie insbesondere Robustheit hinsichtlich Avalanche und Kurzschluß im Hochstromfall bei hoher Source-Drain-Spannung, angestrebt werden.

Kompensationsbauelemente beruhen auf einer gegenseitigen Kompensation der Ladung von n- und p-dotierten Gebieten in der Driftregion des Transistors. Die Gebiete sind dabei räumlich so angeordnet, daß das Linienintegral über die Dotierung entlang einer vertikal zum pn-Übergang verlaufenden Linie jeweils unterhalb der materialspezifischen Durchbruchladung bleibt (Silizium: ca. $2 \cdot 10^{12} \text{ cm}^{-2}$). Beispielsweise können in einem Vertikaltransistor, wie er in der Leistungselektronik üblich ist, paarweise p- und n-Säulen oder Platten etc. angeordnet sein. In einer Lateralstruktur können p- und n-leitenden Schichten lateral zwischen einem mit einer p-leitenden Schicht belegten Graben und einem mit einer n-leitenden Schicht belegten Graben abwechselnd übereinander gestapelt sein (vgl. US 4 754 310).

Durch die weitgehende Kompensation der p- und n-Dotierungen läßt sich bei Kompensationsbauelementen die Dotierung des stromführenden Bereichs (für n-Kanal-Transistoren der n-Bereich, für p-Kanal-Transistoren der p-Bereich) deutlich erhöhen, woraus trotz des Verlusts an stromführender Fläche ein deutlicher Gewinn an Einschaltwiderstand R_{SDon} resultiert. Die Sperrfähigkeit des Transistors hängt dabei im wesentlichen von der Differenz der beiden Dotierungen ab. Da aus Gründen der Reduktion des Einschaltwiderstandes eine um mindestens eine Größenordnung höhere Dotierung des stromführenden Gebiets erwünscht ist, erfordert die Beherrschung der Sperrspannung eine kontrollierte Einstellung des Kompensationsgrades, der für Werte im Bereich $\pm 10\%$ definierbar ist. Bei einem höheren Gewinn an Einschaltwiderstand wird der genannte Bereich noch kleiner. Der Kompensationsgrad ist dabei definierbar durch

$$(\text{p-Dotierung} - \text{n-Dotierung}) / \text{n-Dotierung}$$

oder durch

$$\text{Ladungsdifferenz} / \text{Ladung eines Dotierungsgebiets.}$$

Es sind aber auch andere Definitionen möglich.

Es ist Aufgabe der vorliegenden Erfindung, ein robustes Halbleiterbauelement der eingangs genannten Art zu schaffen, das sich einerseits durch eine hohe Avalanchebeständigkeit und große Strombelastbarkeit vor bzw. im Durchbruch auszeichnet und andererseits im Hinblick auf technologische Schwankungsbreiten von Herstellungsprozessen mit gut reproduzierbaren Eigenschaften einfach herstellbar ist.

Diese Aufgabe wird bei einem Halbleiterbauelement der eingangs genannten Art erfindungsgemäß dadurch gelöst, daß die Gebiete des ersten und des zweiten Leitungstyps derart dotiert sind, daß in Bereichen nahe der ersten Oberfläche Ladungsträger des zweiten Leitungstyps und in Bereichen nahe der zweiten Oberfläche Ladungsträger des ersten Leitungstyps überwiegen.

In bevorzugter Weise reichen die Gebiete des zweiten Leitungstyps nicht bis zu der zweiten Zone, so daß zwischen dieser zweiten Oberfläche und der zweiten Zone ein schwach dotierter Bereich des ersten Leitungstyps verbleibt. Es ist aber möglich, die Breite dieses Bereiches gegen "null" gehen zu lassen. Der schwach dotierte Bereich liefert aber verschiedene Vorteile, wie Erhöhung der Sperrspannung, "weicher" Verlauf der Feldstärke, Verbesserung der Kommutierungseigenschaften der Inversdiode.

In einer anderen Weiterbildung der Erfindung ist vorgesehen, daß zwischen der ersten und zweiten Oberfläche ein durch die Dotierung bewirkter Kompensationsgrad derart variiert ist, daß nahe der ersten Oberfläche Atomrümpfe des zweiten Leitungstyps und nahe der zweiten Oberfläche Atomrümpfe des ersten Leitungstyps dominieren. Es liegen also Schichtenfolgen p, p', n', n oder n, n', p', p zwischen den beiden Oberflächen vor.

Vorteilhafte Weiterbildungen des erfindungsgemäßen Halbleiterbauelements (im folgenden auch Kompensationsbauelement genannt) ergeben sich aus den weiteren Unteransprüchen.

Die Wirkung der ineinander verschachtelten Gebiete abwechselnd unterschiedlichen Leitungstyps auf das elektrische Feld ist im Unterschied zu beispielsweise einem klassischen DMOS-Transistor wie folgt ("lateral" und "vertikal") beziehen sich im folgenden auf einen Vertikaltransistor:

(a) Es existiert ein zur Verbindungsrichtung zwischen den Elektroden "laterales" Querfeld, dessen Stärke vom Anteil der lateralen Ladung (Linienintegral senkrecht zum lateralen pn-Übergang) relativ zur Durchbruchladung abhängt. Dieses Feld führt zur Trennung von Elektronen und Löchern und zu einer Verringerung des stromtragenden Querschnitts entlang der Strompfade. Diese Tatsache ist für das Verständnis der Vorgänge im Avalanche, der Durchbruchskennlinie und des Sättigungsbereichs des Kennlinienfelds von prinzipieller Bedeutung.

(b) Das zur Verbindungsrichtung zwischen den Elektroden parallele "vertikale" elektrische Feld wird lokal von der Differenz der benachbarten Dotierungen bestimmt. Dies bedeutet, daß sich bei einem Überschuß von Donatoren (n-Lastigkeit: die Ladung in den n-leitenden Gebieten überwiegt die Ladung der p-Gebiete) einerseits eine DMOS-ähnliche Feldverteilung (Maximum des Felds am sperrenden pn-Übergang, in Richtung gegenüberliegender Bauelementrückseite abnehmendes Feld) einstellt, wobei der Gradient des Felds jedoch deutlich geringer ist, als es der Dotierung des n-Gebiets alleine entsprechen würde. Andererseits ist jedoch durch Überkompensation des n-leitenden Gebiets mit Akzeptoren eine in Richtung Rückseite ansteigende Feldverteilung möglich (p-Lastigkeit, Überschuß der Akzeptoren gegenüber den Donatoren). Das

Feldmaximum liegt in einer solchen Auslegung am Boden des p-Gebiets. Kompensieren sich beide Dotierungen exakt, ergibt sich eine horizontale Feldverteilung.

Mit einer exakt horizontalen Feldverteilung wird das Maximum der Durchbruchsspannung erreicht. Überwiegen die Akzeptoren oder die Donatoren, nimmt die Durchbruchsspannung jeweils ab. Trägt man folglich die Durchbruchsspannung als Funktion des Kompensationsgrads auf, ergibt sich ein parabelförmiger Verlauf.

Eine konstante Dotierung in den p- und n-leitenden Gebieten oder auch eine lokal variierende Dotierung mit periodischen Maxima gleicher Höhe führt dabei zu einem vergleichsweise scharf ausgeprägten Maximum der "Kompensationsparabel". Zu Gunsten eines "Fertigungsfensters" (Einbeziehung der Schwankungen aller relevanter Einzelprozesse) muß eine vergleichsweise hohe Durchbruchsspannung angepeilt werden, um verlässliche Ausbeuten und Produktionssicherheit zu erreichen. Ziel muß es daher sein, die Kompensationsparabel möglichst flach und breit zu gestalten.

Wird an das Bauelement Sperrspannung angelegt, so wird die Driftstrecke, d. h. der Bereich der paarweise angeordneten Gebiete entgegengesetzter Dotierung, von beweglichen Ladungsträgern ausgeräumt. Es verbleiben die positiv geladenen Donatorrümpfe und die negativ geladenen Akzeptorrümpfe in der sich aufspannenden Raumladungszone. Sie bestimmen dann zunächst den Verlauf des Felds.

Der Stromfluß durch die Raumladungszone bewirkt eine Veränderung des elektrischen Felds, wenn die Konzentration der mit dem Stromfluß verbundenen Ladungsträger in den Bereich der Hintergrunddotierung kommt. Elektronen kompensieren dabei Donatoren, Löcher die Akzeptoren. Für die Stabilität des Bauelements ist es also sehr wichtig, welche Dotierung lokal überwiegt, wo Ladungsträger erzeugt werden und wie sich ihre Konzentrationen entlang ihrer Strompfade einstellen.

Für die folgenden Ausführungen zum Verständnis der Basismechanismen wird zunächst eine konstante Dotierung der p- und n-leitenden Gebiete angenommen.

Im eingeschalteten Zustand und insbesondere im Sättigungsbereich des Kennlinienfeldes eines MOS-Transistors fließt ein reiner Elektronenstrom aus dem Kanal in ein n-dotiertes Gebiet, bei einem Vertikaltransistor auch "Säule" genannt, wobei in der Tiefe eine zunehmende Fokussierung des Stromflusses aufgrund des elektrischen Querfelds eintritt. Hochstrom-Stabilität wird durch Überwiegen der n-Dotierung gefördert; da jedoch der Kanalbereich mit seinem positiven Temperaturkoeffizienten eine inhomogene Stromverteilung in einem Zellenfeld unterbindet, ist diese Betriebsart eher unkritisch. Eine Reduktion der Stromdichte läßt sich durch partielle Abschattung des Kanalanschlusses erreichen (vgl. DE 198 08 348 A1).

Für die Durchbruchskennlinie bzw. deren Verlauf ist folgendes zu beachten: Die Erzeugung von Elektronen und Löchern erfolgt im Bereich maximaler Feldstärke. Die Trennung beider Ladungsträgerarten wird durch das elektrische Querfeld vorgenommen. Entlang beider Strompfade im p- bzw. n-Gebiet tritt eine Fokussierung und weitere Multiplikation ein. Schließlich tritt auch keine Wirkung einer partiellen Kanalabschattung ein. Stabilität liegt nur dann vor, wenn die beweglichen Ladungsträger außerhalb ihrer Entstehungsorte zu einem Anstieg des elektrischen Felds und damit zu einem Anstieg der Durchbruchsspannung der jeweiligen Zelle führen. Für Kompensationsbauelemente bedeutet dies Stabilität im p- und n-lastigen Bereich, jedoch nicht im Maximum der Kompensationsparabel. Im p-lastigen Bereich erfolgt der Durchbruch am "Boden" der Säule.

Die Elektronen fließen aus der Driftregion heraus und beeinflussen das Feld somit nicht. Die Löcher werden durch das elektrische Längsfeld zum oberseitigen Source-Kontakt gezogen. Dabei wird der Löcherstrom längs seines Weges durch das elektrische Querfeld fokussiert: die Stromdichte steigt hier an. Damit wird das elektrische Längsfeld zunächst oberflächennah beeinflusst. Infolge der Kompensation der überschüssigen Akzeptorrümpfe (p-Lastigkeit) ergibt sich eine Reduktion des Gradienten des elektrischen Felds und ein Anstieg der Durchbruchsspannung. Dieses Situation ist solange stabil, als das Feld dort deutlich unterhalb der kritischen Feldstärke (für Silizium: etwa 270 kV/cm für eine Ladungsträgerkonzentration von ca. 10^{15} cm^{-3}) bleibt.

Im n-lastigen Bereich mit einem Überschuß an Donatoren ist der Durchbruch oberflächennah. Die Löcher fließen zum Sourcekontakt und beeinflussen das Feld noch auf dem Weg von ihrem Entstehungsort bis zur p-Wanne. Ziel muß daher sein, den Durchbruchsort möglichst nahe an die p-Wanne heranzulegen. Dies kann beispielsweise durch eine lokale Anhebung der n-Dotierung geschehen. Die Elektronen fließen durch die komplette Driftzone zur Rückseite und beeinflussen das Feld ebenfalls entlang ihres Strompfads. Stabilität wird dann erzielt, wenn die Wirkung des Elektronenstroms die des Löcherstroms überwiegt. Da hier die Geometrie der Zellenanordnung eine wichtige Rolle spielt, gibt es insbesondere nahe des Maximums der Kompensationsparabel einen Bereich stabiler und instabiler Kennlinien.

Die Verhältnisse im Avalanche sind sehr ähnlich zu denjenigen bei einem Durchbruch. Die Ströme sind jedoch deutlich höher und betragen bei einem Nennstrom bis zum Doppelten des Nennstromes des Transistors. Da das elektrische Querfeld immer eine deutliche Fokussierung des Stroms bewirkt, wird bei Kompensationsbauelementen bei vergleichsweise geringer Strombelastung der Stabilitätsbereich verlassen. Physikalisch bedeutet dies, daß der strominduzierte Feldanstieg bereits so weit fortgeschritten ist, daß lokal die Durchbruchfeldstärke erreicht wird. Das elektrische Längsfeld kann dann lokal nicht mehr weiter ansteigen, die Krümmung des elektrischen Längsfelds nimmt jedoch weiter zu, woraus ein Rückgang der Durchbruchsspannung der betroffenen Zelle resultiert. In der Kennlinie einer Einzelzelle und auch in der Simulation zeigt sich dies durch einen negativen differentiellen Widerstand; d. h. die Spannung geht mit ansteigendem Strom zurück. In einem großen Transistor mit mehreren 10.000 Zellen wird dies zu einer sehr raschen inhomogenen Umverteilung des Stroms führen. Es bildet sich ein Filament, und der Transistor schmilzt lokal auf.

Daraus ergeben sich die folgenden Konsequenzen für die Stabilität von Kompensationsbauelementen:

(a) Durch die Trennung von Elektronen und Löchern kommt es nicht wie bei IGBTs und Dioden zu einer "Autostabilisierung". Vielmehr müssen Kompensationsgrad, Feldverteilung und Durchbruchsort exakt eingestellt werden.

(b) Auf der Kompensationsparabel gibt es bei konstanter Dotierung der p- und n-Gebiete bzw. "Säulen" stabile Bereiche im deutlich p- und im deutlich n-lastigen Bereich. Beide Bereiche hängen nicht zusammen. Damit ergibt sich nur ein extrem kleines Fertigungsfenster. Die Kompensationsparabel ist bei konstanter Dotierung der p- und n-Gebiete bzw. Säulen überaus steil. Der Durchbruchsort verlagert sich innerhalb weniger Prozente vom Boden der p-Säule in Richtung Oberfläche.

(c) Für jedes Kompensationsbauelement gibt es eine Stromzerstörungsschwelle im Avalanche, die unmittelbar

bar mit dem Kompensationsgrad gekoppelt ist. Der Kompensationsgrad bestimmt andererseits die erzielbare Durchbruchsspannung und hat Einfluß auf den RDSon-Gewinn.

(d) Bei konstanter Dotierung der p- und n-Gebiete sind – wie oben gesagt – die Bauelemente nahe des Maximums der Kompensationsparabel instabil. Dies führt dazu, daß die Bauelemente mit der höchsten Sperrspannung im Avalanche-Test zerstört werden.

Wie oben erläutert wurde, wird zur Vermeidung der Nachteile der Kompensationsgrad längs der Dotierungsgebiete, d. h. bei einer Vertikalstruktur von der Oberseite in Richtung Rückseite des Transistors, so variiert, daß nahe der Oberfläche die Atomrümpfe des zweiten Leitungstyps und nahe der Rückseite die Atomrümpfe des ersten Leitungstyps vorherrschen.

Die resultierende Feldverteilung weist einen "buckelförmigen" Verlauf mit einem Maximum in etwa halber Tiefe auf (vgl. Fig. 6). Damit beeinflussen sowohl die Elektronen als auch die Löcher im Durchbruch und im Avalanche die Feldverteilung. Beide Ladungsträgerarten wirken stabilisierend, da sie von ihrem Entstehungsort aus jeweils in Gebiete laufen, in denen sie die dominierende, überschüssige Hintergrunddotierung kompensieren. Es gibt so einen durchgehenden Stabilitätsbereich von p-lastigen bis zu n-lastigen Kompensationsgraden.

Eine Variation des Kompensationsgrads durch Fertigungsschwankungen verschiebt den Durchbruchsort in vertikaler Richtung nur wenig und auch kontinuierlich hin und her, solange diese Variation kleiner ist als die technologisch eingestellte Variation des Kompensationsgrads. Die Größe dieser Modifikation des Kompensationsgrads bestimmt auch die Grenzen des Stabilitätsbereichs. Damit wird das Fertigungsfenster frei wählbar.

Die Fokussierung der Ströme ist deutlich geringer ausgeprägt, da beide Ladungsträgerarten nur jeweils die halbe Wegstrecke im Bereich des komprimierenden elektrischen Querfelds zurücklegen. Damit werden die Bauelemente im Avalanche mit deutlich höheren Strömen belastbar.

Da bei einer Variation des Kompensationsgrads z. B. in Richtung auf "n-Lastigkeit" das elektrische Feld jeweils im oberen Bereich der Driftstrecke zunimmt, im unteren Bereich aber gleichzeitig abnimmt (bei Variation in Richtung auf p-Lastigkeit umgekehrt), variiert die Durchbruchsspannung als Funktion des Kompensationsgrads nur relativ wenig. Damit wird die Kompensationsparabel vorzugsweise flach und breit.

Die vertikale Variation des Kompensationsgrads kann durch Variation der Dotierung im p-Gebiet oder durch Variation der Dotierung im n-Gebiet oder durch Variation der Dotierung in beiden Gebieten erfolgen. Die Variation der Dotierung längs der Säulen kann eine konstante Steigung aufweisen oder in mehreren Stufen erfolgen. Grundsätzlich steigt die Variation jedoch monoton von einem p-lastigen Kompensationsgrad zu einem n-lastigen Kompensationsgrad an.

Die Erfindung kann ohne weiteres auch bei p-Kanal-Transistoren angewandt werden. Es tritt dann ein entsprechend geänderter Verlauf der Halbleitergebiete auf: Ein (p, p-dominiert, n-dominiert, n)-Verlauf wird durch einen (n, n-dominiert, p-dominiert, p)-Verlauf ersetzt.

Die Grenzen der Stabilität werden auf der n-lastigen Seite erreicht, wenn das Feld oberflächennah über einen merklichen Bereich der Driftstrecke horizontal verläuft. Auf der p-lastigen Seite erreicht man die Stabilitätsgrenze, wenn das Feld nahe des Bodens des kompensierenden Säulenbereichs über einen merklichen Bereich der Driftstrecke horizontal

verläuft.

Generell gilt, daß die Kompensationsparabel um so flacher und breiter wird, je größer der Gradient des Kompensationsgrads ist. Die Durchbruchsspannung im Maximum der Kompensationsparabel sinkt entsprechend.

Eine weitere wichtige Limitierung der Variation des Kompensationsgrads wird durch die Forderung nach Unterschreitung der Durchbruchladung gegeben. Darüber hinaus treten bei starker Anhebung der p-Säulen-Dotierung nahe der Oberfläche Stromeinschnüreffekte auf (lateraler JFET-Effekt).

Für 600 V-Bauelemente ist beispielsweise eine Variation des Kompensationsgrads längs der p- und n-Gebiete von 50% vorteilhaft.

Obwohl oben primär von einem Vertikal-Transistor ausgegangen wurde, kann das erfindungsgemäße Halbleiterbauelement grundsätzlich eine Vertikal- oder auch eine Lateral-Struktur haben. Bei einer Lateral-Struktur sind z. B. n- und p-leitende plattenförmige Gebiete lateral ineinander gestaffelt angeordnet.

Anwendungen für solche Lateraltransistoren sind beispielsweise im Smart-Power-Bereich oder auch in der Mikroelektronik zu sehen; Vertikaltransistoren werden dagegen vorwiegend in der Leistungselektronik erzeugt.

Die vertikale Modifikation des Kompensationsgrades ist sehr einfach umzusetzen, da in den einzelnen Epitaxieebenen nur die Implantationsdosis verändert werden muß. Die "echte" Kompensationsdosis wird dann in der mittleren Epitaxieschicht implantiert, darunter z. B. jeweils 10% weniger, darüber z. B. jeweils 10% mehr. Anstelle der Implantationsdosis kann aber auch die Epitaxiedotierung geändert werden.

Durch die größere beherrschbare Streuung ist es möglich, die Herstellungskosten zu verringern. Die Zahl der notwendigen Epitaxieschichten kann reduziert werden, und die Öffnungen für die Kompensations-Implantation können infolge höherer Streuung der implantierten Dosis durch die größere relative Streuung des Lackmaßes bei gleichzeitig verlängerter Nachdiffusion für das Zusammendiffundieren der einzelnen p-Bereiche zur "Säule" verkleinert werden.

Nachfolgend wird die Erfindung anhand der Zeichnungen näher erläutert. Es zeigen:

Fig. 1 eine Draufsicht auf einen n-Kanal-Lateral-MOS-Transistor nach einem ersten Ausführungsbeispiel der Erfindung,

Fig. 2 eine Schnittdarstellung eines n-Kanal-Lateral-MOS-Transistors mit V-förmigen Gräben nach einem zweiten Ausführungsbeispiel der Erfindung,

Fig. 3a bis 3d verschiedene Layouts bei dem erfindungsgemäßen Halbleiterbauelement,

Fig. 4 einen Schnitt durch einen n-Kanal-MOS-Transistor nach einem dritten Ausführungsbeispiel der Erfindung,

Fig. 5 den Verlauf des Kompensationsgrades K längs einer Linie C-D in Fig. 4,

Fig. 6 den Verlauf des elektrischen Feldes längs der Linie C-D in Fig. 4,

Fig. 7 den Verlauf der Durchbruchsspannung in Abhängigkeit von dem Kompensationsgrad für eine konstante Dotierung und eine variable Dotierung und

Fig. 8 ein konkretes Beispiel für ein Zelldesign für einen n-Kanal-MOS-Transistor.

Fig. 1 zeigt eine Draufsicht auf einen n-Kanal-MOS-Transistor mit einer n⁺-leitenden Drainzone 15, einer n⁺-leitenden Sourcezone 16, einer Gate-Elektrode 8 und einem p-leitenden Gebiet 5. Dieses p-leitende Gebiet 5 erstreckt sich fingerförmig in ein n-leitendes Gebiet 4 auf einem Halbleitersubstrat 1, so daß die Gebiete 4 und 5 ineinander "verschachtelt" sind. Die Gate-Elektrode 8 kann beispielsweise

aus polykristallinem Silizium bestehen, während eine unterhalb dieser Gate-Elektrode 8 vorhandene und in der Fig. 1 nicht gezeigte Isolierschicht beispielsweise aus Siliziumdioxid und/oder Siliziumnitrid aufgebaut ist. In dem p-leitenden Gebiet 5 sind in einer Zone I ein p-Ladungsüberschuß, in einer Zone II eine "neutrale" Ladung und in einer Zone III ein n-Ladungsüberschuß vorhanden. Dies bedeutet, daß im Gebiet 5 in der Zone I die p-Ladung die Ladung des umgebenden n-leitenden Gebietes 5 überwiegt, daß weiterhin in der Zone II die p-Ladung genau der Ladung des umgebenden n-leitenden Gebietes 5 kompensiert und daß in der Zone III die p-Ladung geringer ist als die Ladung des umgebenden n-leitenden Gebietes 5. Wesentlich ist also, daß die Ladung des p-Gebietes 5 variabel ist, während die Ladung der n-Gebiete 4 jeweils konstant ist.

Das p-leitende Gebiet 5 reicht vom Rand der Sourcezone 16, also einer Fläche A bis zu einer strichliert angedeuteten Fläche B im n-leitenden Gebiet 4. Diese Fläche B ist von der Source-Zone 15 beabstandet, so daß zwischen der Fläche B und der Source-Zone 15 ein n-leitender Bereich 13 besteht, in welchem keine "Verschachtelung" mit p-leitenden Gebieten 5 vorliegt. Es ist aber auch möglich, die Fläche B bis zu dem Rand der Drainzone 15 zu verlagern, so daß kein n-leitender Bereich 13 vorliegt. In vorteilhafter Weise ist aber die Fläche B von der Drainelektrode 15 beabstandet, was zu einer Erhöhung der Sperrspannung, einem weicheren Verlauf des elektrischen Feldes und einer Verbesserung der Kommutierungseigenschaften der Inversdiode führt.

Fig. 2 zeigt einen Schnitt durch ein weiteres Ausführungsbeispiel des erfindungsgemäßen Halbleiterbauelements in der Form eines n-Kanal-MOS-Transistors mit einer Drainelektrode 2 und einer Gate-Isolierschicht 9 zwischen der Gate-Elektrode 8 und dem Kanalbereich, der unterhalb der Isolierschicht 9 zwischen einer Sourcezone 16 und einer Drainzone 15 in einem p-leitenden Gebiet 5 vorgesehen ist. Auch bei diesem Ausführungsbeispiel weisen die p-leitenden Gebiete 5 in den Zonen I, II und III eine variable Dotierung auf, wie dies oben anhand der Fig. 1 erläutert wurde.

Die Ausführungsbeispiele der Fig. 1 und 2 zeigen zwei bevorzugte Gestaltungsmöglichkeiten für Lateralstrukturen des erfindungsgemäßen Halbleiterbauelementes. Wesentlich bei beiden Strukturen ist, daß in den Gebieten 5 die angegebene variable Dotierung vorliegt und daß diese Gebiete 5 die Drainzone 15 nicht erreichen, also in einer Fläche B im Abstand von dieser Drainzone 15 enden. Gegebenenfalls ist es aber möglich, die Fläche B bis an den Rand der Drainzone 15 heranzuführen. Wie oben gesagt, kann der Kompensationsgrad dabei durch Variation der Dotierung der p-leitenden Gebiete 5 oder der n-leitenden Gebiete 4 erzielt werden.

Die Fig. 3a bis 3d zeigen verschiedene Layouts für das erfindungsgemäße Halbleiterbauelement mit Sechseck-Polysilizium-Strukturen 17 und Polysilizium-Öffnungen 18 (Fig. 3a), in denen gegebenenfalls Aluminium-Kontaktlöcher 19 (Fig. 3b) vorgesehen sein können. Fig. 3c zeigt ein Layout mit Rechteck-Polysilizium-Strukturen 20 und entsprechenden Polysilizium-Öffnungen 18 und Aluminium-Kontaktlöchern 19, während Fig. 3d schematisch in Draufsicht und Schnittdarstellung eine Streifenstruktur mit Polysilizium-Gate-Elektroden 8 und Aluminium-Elektroden 21 angibt.

Die Fig. 3a bis 3d zeigen, wie das erfindungsgemäße Halbleiterbauelement mit verschiedenen Strukturen gestaltet werden kann.

Fig. 4 zeigt einen Schnitt durch einen n-Kanal-MOS-Transistor mit einem n⁺-leitenden Silizium-Halbleitersubstrat 1, einer Drainelektrode 2, einer ersten n-leitenden Schicht 13, einer zweiten Schicht 3 mit n-leitenden Gebieten 4 und p-leitenden Gebieten 5, p-leitenden Zonen 6, n-leiten-

den Zonen 7, Gate-Elektroden 8 aus beispielsweise polykristallinem Silizium oder Metall, die in eine Isolierschicht 9 aus beispielsweise Siliziumdioxid eingebettet sind, und einer Source-Metallisierung 10 aus beispielsweise Aluminium. Die p-leitenden Gebiete 5 erreichen auch hier das n⁺-leitende Halbleitersubstrat nicht.

In Fig. 4 sind zur besseren Übersichtlichkeit lediglich die metallischen Schichten schraffiert dargestellt, obwohl auch die übrigen Gebiete bzw. Zonen geschnitten gezeichnet sind.

In den p-leitenden Gebieten 5 sind in einer Zone I ein p-Ladungsüberschuß, in einer Zone II eine "neutrale" Ladung und in Zone III ein n-Ladungsüberschuß vorhanden. Dies bedeutet, daß im Gebiet 5, das eine "p-Säule" bildet, in der Zone I die Ladung der p-Säule die Ladung des umgebenden n-leitenden Gebietes 5 überwiegt, daß weiterhin in der Zone II die Ladung der p-Säule genau die Ladung des umgebenden n-Gebietes 5 kompensiert und daß in der Zone III die Ladung der p-Säule noch nicht die Ladung des umgebenden n-Gebietes 5 überwiegt. Wesentlich ist also, daß die Ladung der p-Gebiete 5 variabel ist, während die Ladung der n-Gebiete 4 jeweils konstant ist. Es ist hier wie in den vorangehenden Ausführungsbeispielen aber auch möglich, daß die Ladung der p-leitenden Gebiete 5 konstant ist und die Ladung der n-leitenden Gebiet variiert wird. Ebenso ist es möglich, in beiden Gebieten 4 und 5 die Ladung variabel zu gestalten.

Fig. 5 zeigt in einem Schnitt C-D den Verlauf des Kompensationsgrades K über der Tiefe t des n-Kanal-MOS-Transistors: wie aus der Fig. 5 zu ersehen ist, steigt der Kompensationsgrad K mit einem konstanten Gradienten oder stufenförmig von dem Punkt C zu dem Punkt D monoton an.

Aus Fig. 6 ist zu ersehen, daß über dem Gebiet 5 das elektrische Feld E zwischen den Punkten C und D eine im wesentlichen konstante Krümmung besitzt.

Fig. 7 zeigt Kompensationsparabeln für eine konstante und eine variable Dotierung der p-leitenden Gebiete 5 bei dem Ausführungsbeispiel von Fig. 4. Auf der Abszisse ist dabei der Kompensationsgrad K in Prozent aufgetragen, während die Ordinate die Durchbruchspannung U in Volt angibt. Eine Kurve 11 zeigt dabei die Durchbruchspannung U für eine variable Dotierung, während eine Kurve 12 die Durchbruchspannung für eine konstante Dotierung darstellt. Es ist deutlich zu ersehen, daß die variable Dotierung eine beträchtliche Absenkung der Durchbruchspannung von etwa 750 V auf etwa 660 V mit sich bringt. Dafür kann aber ein größerer Bereich des Kompensationsgrades ausgenutzt werden.

Fig. 8 zeigt schließlich ein Zelldesign in einem Schnitt mit Drain D, Source S und Gate G, dem n⁺-leitenden Halbleitersubstrat 1, einem n-leitenden Halbleiterbereich 13, der n-leitenden Schicht 3 und n-leitenden Gebieten 4 sowie p-leitenden Gebieten 5. Für das p-leitende Gebiet 5 unterhalb der Sourceelektrode 5 sind in Fig. 8 die Kompensationsgrade beispielsweise zwischen +30% und -20% angegeben, wobei ein Kompensationsgrad "0" eine echte Kompensation zwischen n-Dotierung und p-Dotierung bedeutet. Hier variiert also die Dotierung in der "p-Säule" um einen Faktor 3, während die Dotierung in den "n-Säulen" konstant ist.

Bezugszeichenliste

- 1 Halbleitersubstrat
- 2 Drainelektrode
- 3 Epitaxieschicht
- 4 n-leitendes Gebiet
- 5 p-leitendes Gebiet

6 p-leitende Zone	
7 n-leitende Zone	
8 Gate-Elektrode	
9 Isolierschicht	
10 Source-Metallisierung	5
11 Kompensationsparabel für variable Dotierung	
12 Kompensationsparabel für konstante Dotierung	
13 n ⁻ -leitender Bereich	
15 Drainzone	
16 Sourcezone	10
17 Sechseck-Polysilizium-Strukturen	
18 Polysilizium-Öffnung	
19 Aluminium-Kontaktloch	
20 Rechteck-Polysilizium-Strukturen	
21 Aluminium-Elektroden	15
S Sourceelektrode	
G Gateelektrode	
D Drainelektrode	
K Kompensationsgrad (%)	
U Spannung (Volt)	20
t Tiefe	
E Elektrisches Feld	
A, B Flächen	

Patentansprüche	25
-----------------	----

1. Halbleiterbauelement mit einem einen sperrenden pn-Übergang aufweisenden Halbleiterkörper, einer ersten Zone (16, 7) eines ersten Leitungstyps, die mit einer ersten Elektrode (10) verbunden ist und an eine den sperrenden pn-Übergang bildende Zone (6) eines zweiten, zum ersten Leitungstyp entgegengesetzten Leitungstyps angrenzt, und mit einer zweiten Zone (15, 1) des ersten Leitungstyps, die mit einer zweiten Elektrode (2) verbunden ist, wobei die der zweiten Zone (15, 1) zugewandte Seite der Zone (6) des zweiten Leitungstyps eine erste Oberfläche (A) bildet und im Bereich zwischen der ersten Oberfläche (A) und einer zweiten Oberfläche (B), die zwischen der ersten Oberfläche (A) und der zweiten Zone (15, 1) liegt, Gebiete (4, 5) des ersten und des zweiten Leitungstyps ineinander verschachtelt sind, dadurch gekennzeichnet, daß die Gebiete (4, 5) des ersten und des zweiten Leitungstyps derart dotiert sind, daß in Bereichen (I) nahe der ersten Oberfläche (A) Ladungsträger des zweiten Leitungstyps und in Bereichen (III) nahe der zweiten Oberfläche (B) Ladungsträger des ersten Leitungstyps überwiegen.
2. Halbleiterbauelement nach Anspruch 1, dadurch gekennzeichnet, daß die zweite Oberfläche (B) von der zweiten Zone (15, 1) beabstandet ist, so daß die ineinander verschachtelten Gebiete (4, 5) des ersten und des zweiten Leitungstyps nicht bis zur zweiten Zone (15, 1) reichen.
3. Halbleiterbauelement nach Anspruch 1, dadurch gekennzeichnet, daß die zweite Oberfläche (B) mit der der ersten Zone (16, 7) zugewandten Oberfläche der zweiten Zone (15, 1) zusammenfällt, so daß die ineinander verschachtelten Gebiete (4, 5) des ersten und des zweiten Leitungstyps bis zur zweiten Zone (15, 1) reichen.
4. Halbleiterbauelement nach Anspruch 1, dadurch gekennzeichnet, daß zwischen der zweiten Oberfläche (B) und der zweiten Zone (15, 1) ein schwach dotierter Bereich (13) des ersten Leitungstyps vorgesehen ist.
5. Halbleiterbauelement nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, daß zwischen der ersten und der zweiten Oberfläche (A, B) das elektrische Feld

einen von beiden Oberflächen aus ansteigenden Verlauf hat.

6. Halbleiterbauelement nach einem der Ansprüche 1 bis 5, dadurch gekennzeichnet, daß ein durch die Dotierung in den Gebieten (4, 5) des ersten und des zweiten Leitungstyps bewirkter Kompensationsgrad zwischen der ersten und der zweiten Oberfläche (A, B) einen monotonen Verlauf hat.

7. Halbleiterbauelement nach Anspruch 6, dadurch gekennzeichnet, daß der Kompensationsgrad (K) einen stufenförmigen Verlauf hat.

8. Halbleiterbauelement nach Anspruch 6 oder 7, dadurch gekennzeichnet, daß der Kompensationsgrad (K) zwischen der ersten und der zweiten Oberfläche (A, B) um einen Faktor 4 variiert.

9. Halbleiterbauelement nach einem der Ansprüche 1 bis 8, dadurch gekennzeichnet, daß der erste Leitungstyp der n-Leitungstyp ist.

10. Halbleiterbauelement nach einem der Ansprüche 1 bis 9, dadurch gekennzeichnet, daß die Gebiete (4, 5) des ersten und zweiten Leitungstyps lateral im Halbleiterkörper angeordnet sind.

11. Halbleiterbauelement nach einem der Ansprüche 1 bis 9, dadurch gekennzeichnet, daß die Gebiete (4, 5) des ersten und zweiten Leitungstyps vertikal im Halbleiterkörper angeordnet sind.

12. Halbleiterbauelement nach Anspruch 9, dadurch gekennzeichnet, daß in Gebieten (5) des zweiten Leitungstyps ein durch Dotierung bewirkter Kompensationsgrad derart variiert ist, daß nahe der ersten Oberfläche (A) Akzeptorrümpfe und nahe der zweiten Oberfläche (B) Donatorrümpfe dominieren.

13. Verfahren zum Herstellen des Halbleiterbauelementes nach einem der Ansprüche 1 bis 12, dadurch gekennzeichnet, daß in einzelnen Halbleiterschichten durch Änderung einer Ionenimplantationsdosis der Kompensationsgrad (K) in den Gebieten des zweiten Leitungstyps kontinuierlich verändert wird.

14. Verfahren zum Herstellen des Halbleiterbauelementes nach einem der Ansprüche 1 bis 12, dadurch gekennzeichnet, daß in einzelnen Epitaxieschichten durch Änderung der Epitaxiedotierung der Kompensationsgrad (K) in den Gebieten des zweiten Leitungstyps kontinuierlich verändert wird.

Hierzu 4 Seite(n) Zeichnungen

Fig. 1

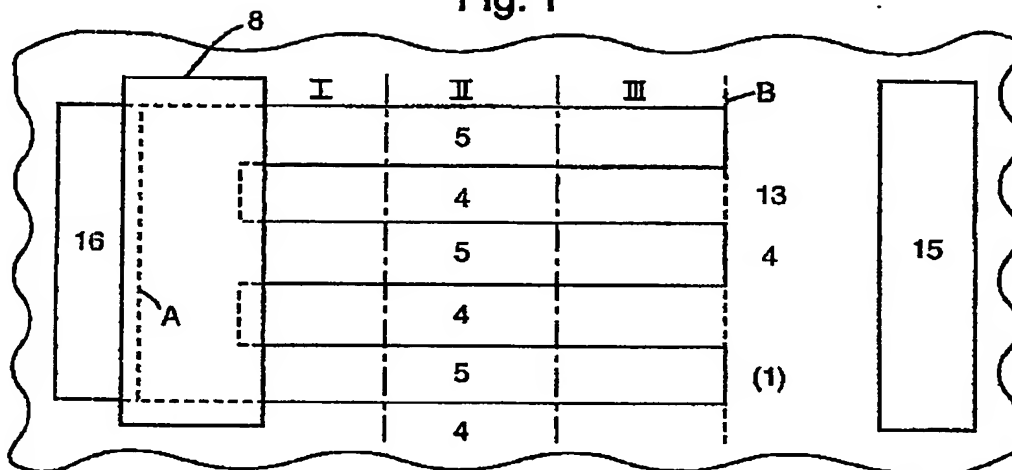


Fig. 2

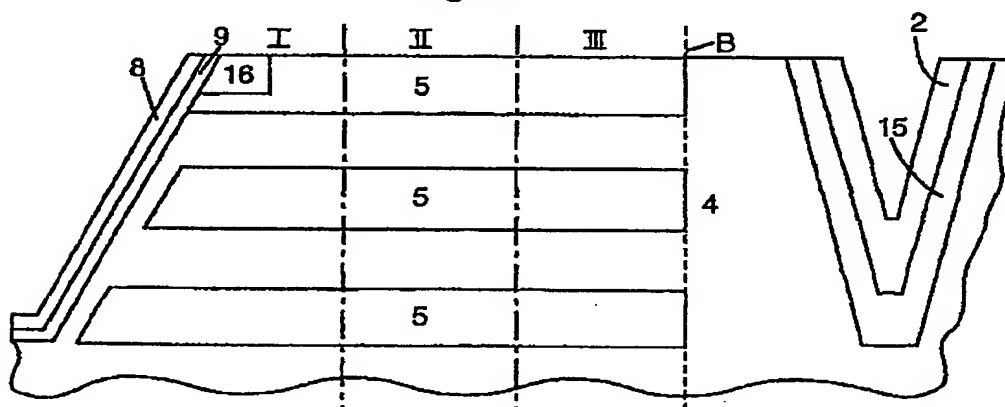


Fig. 3a

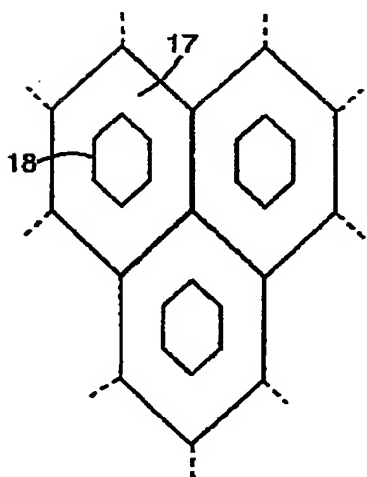


Fig. 3b

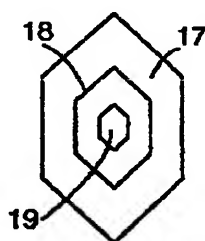


Fig. 3c

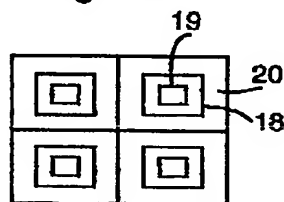


Fig. 3d

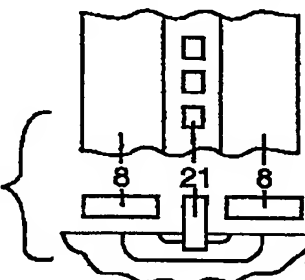


Fig. 4

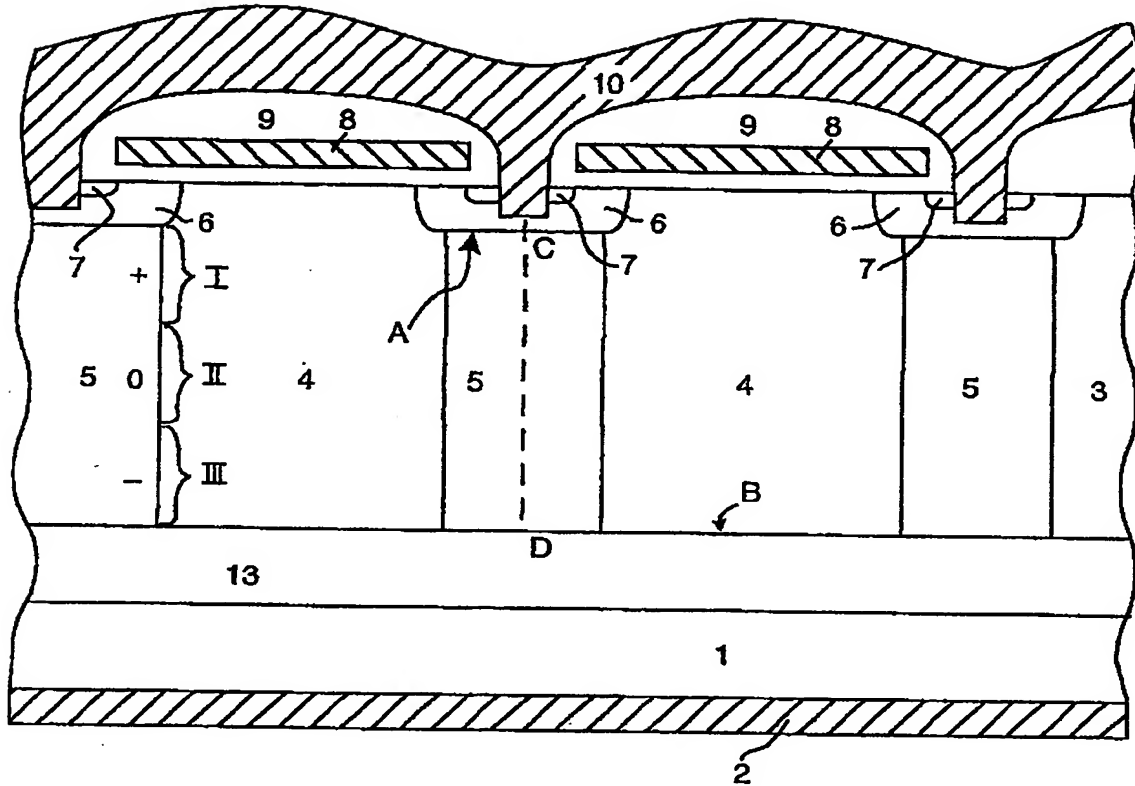


Fig. 5

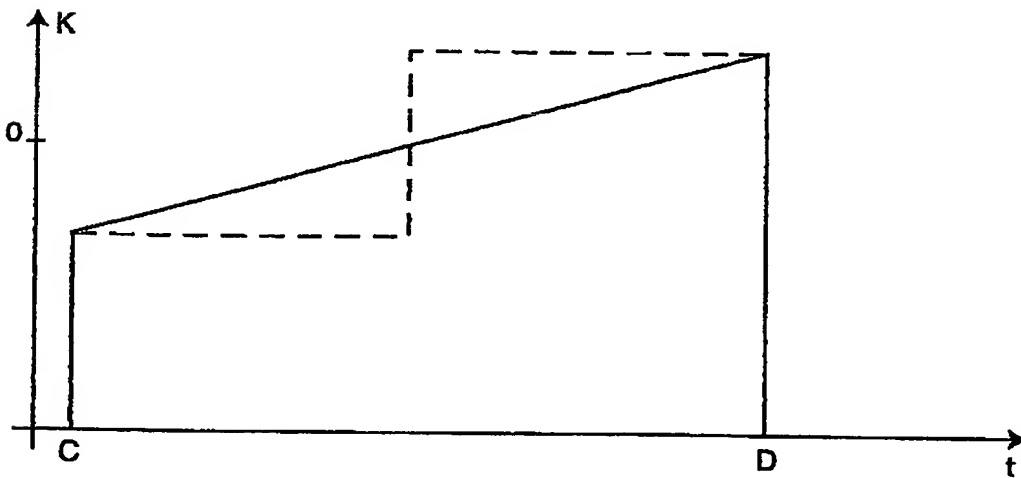


Fig. 6

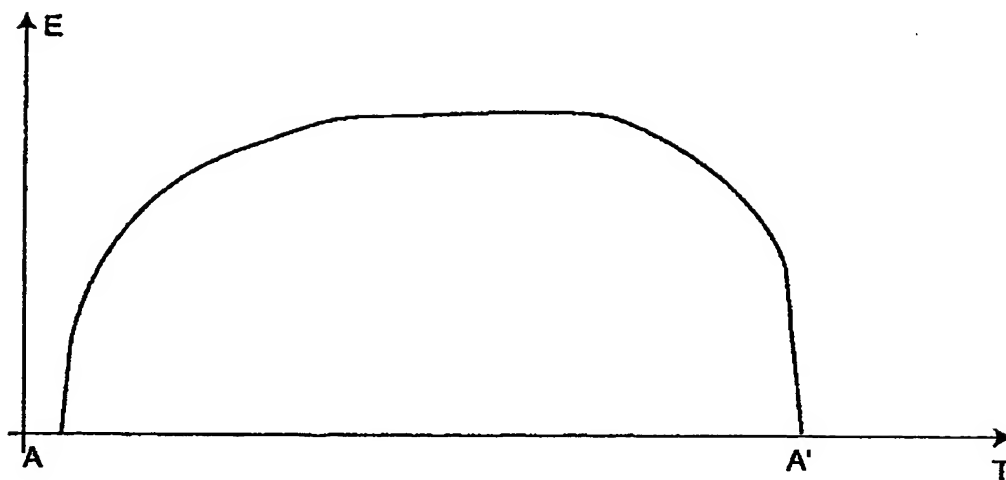


Fig. 7

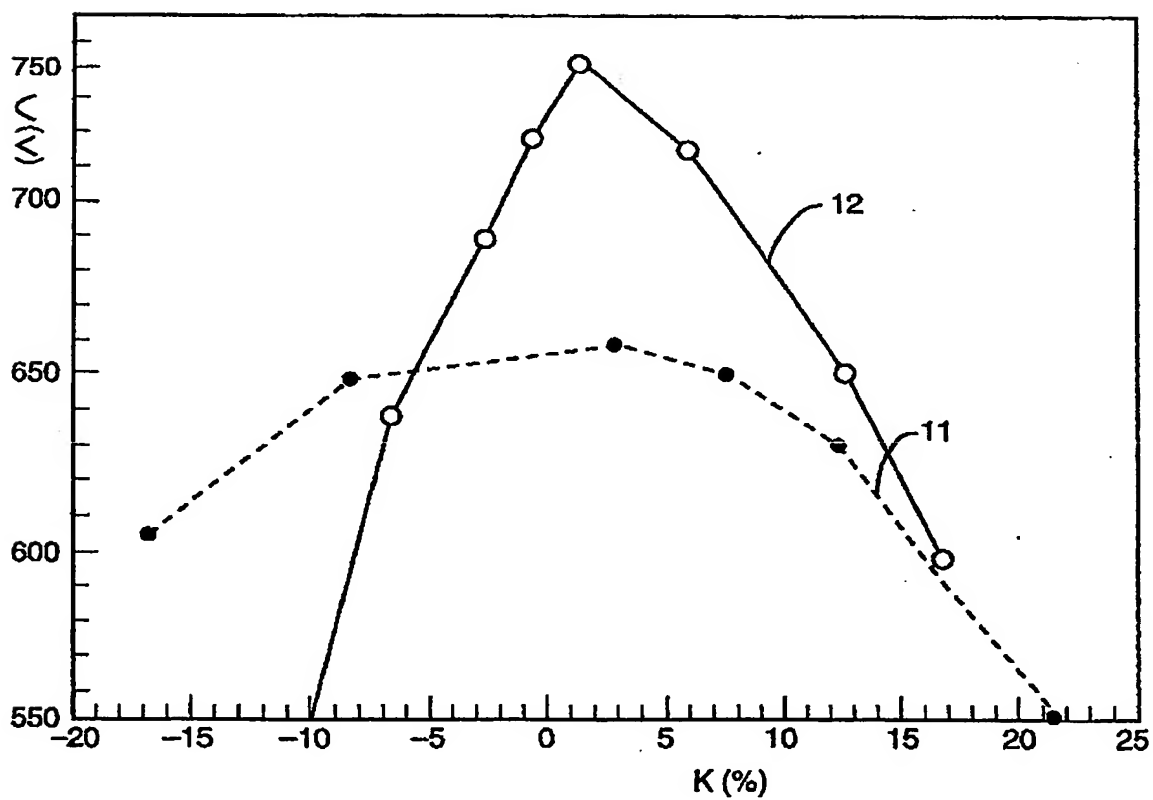


Fig. 8

